

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-018058

(43)Date of publication of application : 19.01.1996

(51)Int.Cl.

H01L 29/786

G02F 1/136

(21)Application number : 06-145140

(71)Applicant : FURONTETSUKU:KK

(22)Date of filing : 27.06.1994

(72)Inventor : YAMAMOTO KENJI

SASAKI MAKOTO

WAGA ASAKO

IWASAKI CHISATO

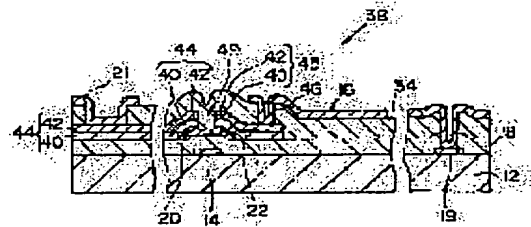
(54) FILM TRANSISTOR ARRAY AND LIQUID CRYSTAL DISPLAY

(57)Abstract:

PURPOSE: To see that a gate insulating film or a protective film does not exist between a pixel electrode and a liquid crystal by forming the pixel electrode connected with a drain electrode on the protective film through the contact hole made in the passivation film.

CONSTITUTION: A source electrode 44 and a drain electrode 45 are constituted of a lower layer and an upper layer 42, and a passivation film 34 consisting of SiNX is stacked on each layer. In the passivation film 34 is a contact hole 46 made in the position applicable to the end of the drain electrode 45. On the passivation film 34 is an ITO pixel electrode 16 stacked, and the ITO pixel electrode 16 is connected to the upper layer 42 of the drain electrode 45 through the contact hole 46.

Accordingly, this can be made into such structure that the gate insulating film 18 or passivation film 34 is not stacked between the ITO pixel electrode 16 and the liquid crystal.



LEGAL STATUS

[Date of request for examination] 24.03.1995

[Date of sending the examiner's decision of rejection] 16.09.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for ication]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-18058

(43) 公開日 平成8年(1996)1月19日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786				
G 0 2 F 1/136	5 0 0	9056-4M	H 0 1 L 29/ 78	3 1 1 S

審査請求 有 請求項の数 2 O L (全 17 頁)

(21) 出願番号 特願平6-145140

(22) 出願日 平成6年(1994)6月27日

(71) 出願人 395003523

株式会社フロンテック

宮城県仙台市泉区明通三丁目31番地

(72) 発明者 山本 健二

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(72) 発明者 佐々木 真

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(72) 発明者 和賀 朝子

東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(74) 代理人 弁理士 志賀 正武 (外2名)

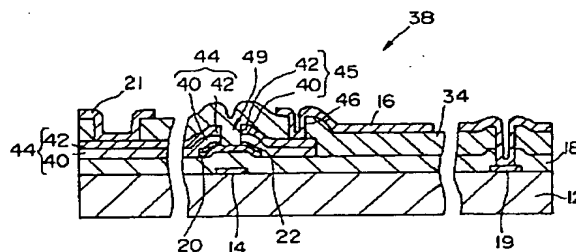
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタアレイおよび液晶表示装置

(57) 【要約】

【目的】 ドレイン電極と画素電極の良好なコンタクトを損なうことなく、その画素電極による液晶への電圧印加効率を高めつつ、また、製造過程における歩留りを向上させる。

【構成】 基板上に、ゲート電極と、ゲート電極を覆うゲート絶縁膜と、ゲート電極の上方に形成される半導体膜及びオーミックコンタクト膜と、オーミックコンタクト膜に接続されたソース電極及びドレイン電極と、ドレイン電極に接続された画素電極と、保護膜とが形成されてなる薄膜トランジスタアレイにおいて、ソース電極およびドレイン電極が、シリサイドを形成する金属からなる下部層と、その上部に積層された銅からなる上部層とを有して構成され、ソース電極およびドレイン電極を覆う保護膜に形成されたコンタクトホールを通じて、保護膜上に形成された画素電極と、ドレイン電極の上部層とが接続されている。



1

【特許請求の範囲】

【請求項1】 基板上に、少なくとも、ゲート電極と、該ゲート電極を覆うゲート絶縁膜と、前記ゲート電極の上方に形成される半導体膜及びオーミックコンタクト膜と、該オーミックコンタクト膜に接続されたソース電極およびドレイン電極と、該ドレイン電極に接続された画素電極と、保護膜とが形成されてなる薄膜トランジスタアレイにおいて、

前記ソース電極およびドレイン電極が、シリサイドを形成する金属からなる下部層と、その上部に積層された銅からなる上部層とを有して構成され、

該ソース電極およびドレイン電極を覆う保護膜に形成されたコンタクトホールを通じて、保護膜上に形成された画素電極と、前記ドレイン電極の上部層とが接続されていることを特徴とする薄膜トランジスタアレイ。

【請求項2】 前記下部層のシリサイドを形成する金属がCrであることを特徴とする請求項1記載の薄膜トランジスタアレイ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示素子などに用いられる薄膜トランジスタアレイに関するもので、特にその電圧印加効率を高めたものである。

【0002】

【従来の技術】図16は、薄膜トランジスタアレイをスイッチ素子に用いたアクティブマトリックス液晶表示装置の等価回路の一構成例を示すものである。図16において、多数のゲート配線G1、G2、…、Gnと、多数のソース配線S1、S2、…、Smとがマトリックス状に配線され、各ゲート配線Gはそれぞれ走査回路1に、各信号配線Sはそれぞれ信号供給回路2に接続され、各線の交差部分に薄膜トランジスタ（スイッチ素子）3が設けられ、この薄膜トランジスタ3のドレイン電極にコンデンサとなる容量部4と液晶表示素子5とが接続されて回路が構成されている。

【0003】図17と図18は、図16に等価回路で示した従来のアクティブマトリックス液晶表示装置において、ゲート配線Gとソース配線Sなどの部分を基板上に備えた薄膜トランジスタアレイの一構成例を示すものである。図17と図18に示す薄膜トランジスタアレイにおいては、ガラスなどの透明の基板12上に、ゲート配線Gとソース配線Sとがマトリックス状に配線されている。また、ゲート配線Gとソース配線Sとの交差部分の近傍に薄膜トランジスタ3が設けられている。

【0004】図17と図18に示す薄膜トランジスタアレイ3はエッチストップ型の一般的な構成のものであり、ゲート配線Gとこのゲート配線Gから引き出して設けたゲート電極14上に、SiN_xなどからなるゲート絶縁膜18を設け、このゲート絶縁膜18上にアモルファスシリコン（a-Si）からなる半導体膜20を設

2

け、更にこの半導体膜20上に導電材料からなるドレイン電極31とソース電極30とを相互に対向させて設けて構成されている。また、半導体膜20の最上層にはリンなどのドナーとなる不純物を高濃度にドーピングしたアモルファスシリコンなどのオーミックコンタクト膜22が形成され、その上にドレイン電極31とソース電極30とで挟まれた状態でエッチングストッパー13が形成されている。また、ドレイン電極31の上からドレイン電極31の側方側にかけて、透明電極材料からなる透明画素電極16が形成されている。また、この例の薄膜トランジスタアレイ3にあっては、ゲート電極14は上層部のTa₂O₅からなるゲート絶縁膜17と下層部のゲート配線15とからなる二重構造にされている。

【0005】また、前記ゲート絶縁膜18と透明画素電極16とソース電極30などの上を覆ってこれらの上にバッシベーション膜34が設けられている。このバッシベーション膜34上には図示略の配向膜が形成され、この配向膜上方に液晶が設けられてアクティブマトリックス液晶表示装置が構成され、前記透明画素電極16によって液晶の分子に電界を印加することにより、液晶分子の配向制御ができるようになっている。

【0006】また、図19に示すような薄膜トランジスタアレイ10も知られている。この薄膜トランジスタアレイ10は、ガラスなどからなる基板12上に、CrやAlなどの導電性金属からなるゲート電極14と、ITO画素電極16とが離間して形成されている。そして、これらの上には、ゲート絶縁膜18が積層されている。また、このゲート絶縁膜18には、ITO画素電極16の端部上にコンタクトホール24が形成される。

【0007】さらにまた、ゲート絶縁膜18上であってゲート電極14の上方にはa-Si(i)からなる半導体膜20が形成され、その半導体膜20の中央部を除く上部にはa-Si(n⁺)からなるオーミックコンタクト膜22が形成されている。さらに、このオーミックコンタクト膜22上およびその周部と、ゲート絶縁膜18に形成されたコンタクトホール24中およびその周部のゲート絶縁膜18上には、Crなどからなる下部層26とAlなどからなる上部層28とからなるソース電極30及びドレイン電極31が形成されている。この際、コンタクトホール24の下端であって、下部層26とITO画素電極16の間にはCrなどからなるゲート電極32が介在する。さらに、これらの上部にはSiN_xからなるバッシベーション保護膜34が積層されている。

【0008】さらにまた、図20に示すような薄膜トランジスタアレイ36も知られている。この薄膜トランジスタアレイ36では、ガラス基板12上に、Crなどの金属からなるゲート電極14が形成され、そのゲート電極14を覆うように基板12上にゲート絶縁膜18が積層されている。そして、そのゲート絶縁膜18上であって、ゲート電極14の上方には、a-Si(i)からな

3

る半導体膜20が形成され、その半導体膜20と離間してITO画素電極16が形成されている。また、半導体膜20の中央部を除く上部にはa-Si(n⁺)からなるオーミックコンタクト膜22が形成されている。さらに、このオーミックコンタクト膜22上およびその周部とITO画素電極16の端部の上部に、Crからなる下部層26とAlからなる上部層28とからなるソース電極30及びドレイン電極31が形成されている。この際、ソース電極30及びドレイン電極31は、半導体膜20とITO画素電極16の間にも、ゲート絶縁膜18に接触するように形成される。さらに、これらの上部にはSiN_xからなるパッシベーション保護膜34が積層されている。

【0009】これら各層の厚さは、表1に示す程度のものが実際の使用には好適とされている。

【0010】

【表1】

層 種	層厚 (Å) (±0.5)
ITO画素電極16	700
パッシベーション保護膜34	4000
上部層28	2000
下部層26	500
オーミックコンタクト膜22	200
半導体膜20	1000
ゲート絶縁膜18	3000
ゲート電極14	1000

【0011】上記薄膜トランジスタアレイ3は、以下のようにして製造される。まず、ガラスなどの透明基板12を用意したならば、これをブラシ洗浄装置と紫外線照射装置により初期洗浄し、この洗浄後の透明基板の上に反応性スパッタリングなどの成膜法を用いてTaO_xなどからなる表面安定化膜を形成する。表面安定化膜を形成した基板12に対し、直流スパッタなどの成膜法を用いてAlなどの導電性材料からなるゲート配線用金属膜を基板上に被覆し、この金属膜をウエットエッチングなどの方法を用いる第1のフォトリソ工程でエッチングしてゲート配線15を形成する。次にゲート配線15上に直流スパッタリングなどの成膜法によりTaなどからなるゲート電極形成用の金属膜を被覆し、次いでドライエッチングなどの方法を用いる第二のフォトリソ工程でエッチングしてゲート電極14を形成する。

【0012】次に、このゲート電極14を陽極酸化処理してその表面部分をTaO_xとしてゲート電極14の絶縁性向上処理を行う。続いて、それらの上にプラズマCVDなどの成膜法によりSiN_xからなるゲート絶縁膜18とa-Si(アモルファスシリコン)などからなる半導体膜20とSiN_xからなるエッチングストップ用の絶縁膜を形成する。次にウエットエッチングなどの方法を用いる第3のフォトリソ工程でエッチングしてゲート電極上にエッチングストッパー13を形成する。次に、第3のフォトリソ工程済みの基板表面にプラズマCVDなどの方法を用いてa-Si(n⁺)などのオーミッ

4

クコンタクト膜を形成する。次に、直流スパッタリングなどの方法を用いる第4のフォトリソ工程で半導体膜やオーミックコンタクト膜をパターンニングしてゲート電極14上方に他の部分と分離状態の半導体部を形成する。次に、第4のフォトリソ工程済みの基板表面に直流スパッタリングなどの成膜法を用いてTiなどの金属膜を形成する。

【0013】次に、前記金属膜をドライエッチングなどの方法を用いる第5のフォトリソ工程でパターンニングしてソース電極30とドレイン電極31を形成する。次に、前記第5のフォトリソ工程済みの基板表面に反応性スパッタリングなどの成膜法でITO(インジウム錫酸化物)などの透明導電膜を形成する。次にウエットエッチングなどの方法を用いる第6のフォトリソ工程で透明導電膜を加工して透明画素電極16を形成する。次に、第6のフォトリソ工程処理済みの基板表面にSiN_xなどの保護膜をプラズマCVDなどの方法で形成する。次に、前記保護膜をウエットエッチングなどの方法でパターンニングしてソース電極30に接続するソース端子用のコンタクトホールとドレイン電極31に接続するドレイン端子用のコンタクトホールとを形成する第7のフォトリソ工程を行って薄膜トランジスタアレイが完成される。

【0014】上記薄膜トランジスタアレイ3、10、36にあっては、そのいずれのソース電極30・ドレイン電極31も、オーミックコンタクト膜22と良好なオーミックコンタクトを形成している。また、ITO画素電極16と良好なコンタクトを形成するために、ソース電極30・ドレイン電極31の下部にはCrを、また、ソース電極30・ドレイン電極31の配線抵抗を低減するために、そのCrの上部にAlを積層した構成としている。

【0015】

【発明が解決しようとする課題】しかしながら、上記薄膜トランジスタアレイ10であると、ITO画素電極16上に、ゲート絶縁膜18とパッシベーション保護膜34が積層されており、また、上記薄膜トランジスタアレイ3、36であっても、ITO画素電極16上に、パッシベーション保護膜34が積層されているために、ITO画素電極16から液晶への電圧印加効率が低いものであった。即ち、薄膜トランジスタアレイ10を組み込んだ液晶表示素子は、図21(a)に示されるように、ガラス基板12上にあるITO画素電極16と、液晶50を挟んで対向する画素電極16'の間には、ゲート絶縁膜18、パッシベーション保護膜34、配向膜52、液晶50、配向膜52が介在している。したがって、この構成の等価回路は図21(b)に示されるものとなる。

【0016】同様に、上記薄膜トランジスタアレイ3、36であれば、ゲート絶縁膜18上にあるITO画素電

極16と、液晶50を挟んで対向する画素電極16'との間には、バッシベーション保護膜34、配向膜52、液晶50、配向膜52が介在している。したがって、この構成の等価回路は図22(b)に示されるものとなる。よって、いずれの薄膜トランジスタアレイ3、10、36でも、その薄膜トランジスタアレイのドレイン電極から印加される電圧(V_d)と、液晶にかかる実効電圧(V_{LC})の間には、下記式(i)の関係が成り立つ。

【0017】

【数1】

$$V_{LC} = \frac{C_{P1}C_{S1N} V_d}{2C_{LC}C_{S1N} + C_{P1}C_{S1N}} + C_{P1}C_{LC} \quad \text{---- (i)}$$

【0018】尚、図22(b)におけるC_{S1N}は、C_{P-S1N}とC_{C-S1N}の和である。このように、実効印加電圧が低いと、液晶ディスプレイのコントラストを有効に高めることができない。

【0019】そこで、ドレイン電極31のA1の上部にITO画素電極16を成膜することも考えられるが、単にその構成とすると、A1とITO画素電極16の間に、抵抗値の大きい層を形成することになってしまい、良好な電氣的コンタクトをとることができなくなってしまう。

【0020】ところで、これらの薄膜トランジスタアレイはCVDやエッチング技術などを駆使した薄膜形成法により、複数の薄膜トランジスタアレイが図23(a)に示すように、マトリクス状に製造される。しかしながら、この製造過程においては極めて高度な製造精度が要求され、例えば、画素電極16、16、…の形成に不良が生じると、図23(b)に示すように、ソース(ゲート)ラインS⑤と⑥がショートしてしまうなどの重大な欠陥が生じ、これが歩留りの向上の大きな妨げとなっている。

【0021】本発明は前記課題を解決するためになされたもので、液晶表示素子に使用される薄膜トランジスタアレイであって、そのドレイン電極と画素電極の良好なコンタクトを損なうことなく、その画素電極による液晶への電圧印加効率を高めつつ、また、製造過程における歩留りを向上させることを目的とするものである。

【0022】

【課題を解決するための手段】本発明の薄膜トランジスタアレイは、基板上に、少なくとも、ゲート電極と、該ゲート電極を覆うゲート絶縁膜と、前記ゲート電極の上方に形成される半導体膜及びオーミックコンタクト膜と、該オーミックコンタクト膜に接続されたソース電極およびドレイン電極と、該ドレイン電極に接続された画素電極と、保護膜とが形成されてなる薄膜トランジスタアレイにおいて、前記ソース電極およびドレイン電極が、シリサイドを形成する金属からなる下部層と、その

上部に積層された銅からなる上部層とを有して構成され、該ソース電極およびドレイン電極を覆う保護膜に形成されたコンタクトホールを通じて、保護膜上に形成された画素電極と、前記ドレイン電極の上部層とが接続されていることを特徴とするものである。

【0023】この際、下部層のシリサイドを形成する金属は、Crであることが特に好ましい。

【0024】

【作用】本発明の薄膜トランジスタアレイであると、保護膜に形成されたコンタクトホールを通じて、ドレイン電極と接続している画素電極が、保護膜上に形成されているので、画素電極と液晶の間には、ゲート絶縁膜や保護膜が介在していない。したがって、画素電極から液晶への電圧印加効率を高められる。

【0025】またこの際、ドレイン電極が、シリサイドを形成する金属からなる下部層と、その上部に積層された銅からなる上部層とを有して構成されていることから、ドレイン電極の抵抗値が小さく、良好な電氣的コンタクトを保ち続けることができる。

【0026】また、本発明の薄膜トランジスタアレイであると、画素電極と、ゲートライン又はソース・ドレインラインとの間に、ゲート絶縁膜または保護膜が介在するようになるので、画素電極と、ゲートライン又はソース・ドレインラインとのショート等の不具合の発生を抑制することができる。

【0027】

【実施例】本発明の薄膜トランジスタアレイの一実施例を図1を参照して説明する。図1に示す本実施例の薄膜トランジスタアレイ38は、基板12上に、液晶表示素子用のトランジスタとして必要な各層が積層されて構成されているもので、まず、ゲート電極14と、そのゲート電極14を覆うようにしてゲート絶縁膜18が形成されている。ゲート電極14には、導電性の金属材料が用いられ、CrやAlが好適である。ゲート絶縁膜18には、SiN_xなどが用いられる。ゲート絶縁膜18上であって、ゲート電極14の上方には、a-Si(i)からなる半導体膜20が形成され、その半導体膜20の中央部を除く上部にはa-Si(n')からなるオーミックコンタクト膜22が形成されている。

【0028】さらに、そのオーミックコンタクト膜22上と、半導体膜20の周部であってゲート絶縁膜18上には、ソース電極44及びドレイン電極45が積層されている。このソース電極44及びドレイン電極45は、それぞれ下部層40とその上に積層された上部層42とから構成されている。下部層40は、シリサイドを形成する金属からなるもので、Cr、Tiなどが適用できるが、中でもCrが好適である。上部層42にはCuが用いられる。さらに、これら各層の上部には、SiN_xからなるバッシベーション保護膜34が積層されている。バッシベーション保護膜34には、ドレイン電極45の

端部にあたる位置にコンタクトホール46が形成されている。さらに、本実施例の薄膜トランジスタアレイ38においては、パッシベーション保護膜34上にITO画素電極16が積層されており、このITO画素電極16はコンタクトホール46を通じてドレイン電極45の上部層42に接続されている。

【0029】これら各層の厚さは、表2に示す程度のものが実際の使用には好適である。

【表2】

層 種	層厚 (オングストロム)
ITO画素電極16	1500
パッシベーション保護膜34	4000
上部層42	2000
下部層40	500
オーミックコンタクト膜22	200
半導体膜20	1000
ゲート絶縁膜18	3000
ゲート電極14	1000

【0030】この薄膜トランジスタアレイ38は、以下のようにして製造することができる。まず、工程1において図2に示すガラスなどの透明の基板12上にCr、Ta、Mo、Alなどの導電材料からなる導電性金属薄膜から形成された第一の金属膜14'を成膜する。ここで形成する第一の金属膜14'の厚さは例えば1000オングストロム程度とすることができる。次に、第一のフォトリソ工程2において第一の金属膜14'付きの基板12を以下のように加工する。まず、基板12を洗浄し、第一の金属膜14'上にレジストを塗布してからフォトマスクを介して上面全部に露光処理と現像処理を行い、フォトマスクのパターンをフォトレジストに書き移す。次に、第一の金属膜14'がCrからなる膜である場合、例えば、 $(\text{NH}_4)_2[\text{Ce}(\text{NO}_3)_6] + \text{HNO}_3 + \text{H}_2\text{O}$ なる配合組成のエッチング液を用いてウェットエッチング処理し、続いてレジストを剥離して基板12上に図3に示すゲート電極14とゲート配線19を形成する。なお、図面ではゲート電極とゲート配線の一部のみを示しているが、実際には基板12上に多数のゲート電極14とゲート配線19を形成するものとする。

【0031】ゲート電極14とゲート配線19を形成したならば、工程3においてこれらを形成した基板12を洗浄し、その表面に図4に示すように、 SiN_x からなる第一の絶縁膜18と、 $\text{a-Si}(i)$ からなる半導体膜20と、 $\text{a-Si}(n^+)$ からなるオーミックコンタクト膜22を積層する。ここで形成する第一の絶縁膜18は例えば3000オングストロム程度、半導体膜20は1000オングストロム程度、オーミックコンタクト膜22は200オングストロム程度の厚さにそれぞれ形成することができる。次に、第二のフォトリソ工程4において第一フォトリソ工程2と同じようにレジスト塗布、露光、現像、エッチングおよびレジスト剥離といった処理を施して半導体膜20とオーミックコンタクト膜22をバターンニングしてゲート電極14の上方に図5に

示すように半導体部21を形成する。この工程で用いるエッチング液は、例えば、 $\text{HF} + \text{HNO}_3$ なる配合組成のものを用いることができる。

【0032】第二フォトリソ工程4を施したならば工程5において基板12を洗浄し、その上面に、Crなどからなる導電材料からなる金属膜40'と、Cuの膜42'を順に図6に示すように形成する。

【0033】Cuの膜42'を形成したならば、第三のフォトリソ工程6において金属膜40'、Cuの膜42'とオーミックコンタクト膜22をウェットエッチングなどの方法によりバターンニングして、図7に示すようにソース電極44とソース配線47とドレイン電極45とチャンネル部49を形成する。なお、前記ウェットエッチングを行う場合に用いるエッチング液として、 $\text{HF} + \text{HNO}_3$ なる配合組成のものを用いることができる。

【0034】続いて工程7において前記処理済みの基板12を洗浄し、その表面にプラズマCVDなどの方法で図8に示すようにパッシベーション膜34を成膜する。ここで形成するパッシベーション膜34は例えば厚さ4000オングストロム程度に形成することができる。パッシベーション膜34を形成したならば、処理済みの基板12に対し、第四フォトリソ工程8において $\text{SF}_6 + \text{O}_2$ ガスなどを用いたドライエッチングなどの方法により、パッシベーション膜34をバターンニングして図9に示すように、ドレイン電極45に通じるコンタクトホール46と、ゲート配線19に通じるコンタクトホール54と、ソース配線47に通じるコンタクトホール56を形成する。

【0035】前記各コンタクトホールを形成した基板12の表面に工程9においてITOからなる透明導電膜16'を成膜する。この透明導電膜16'の厚さは1500オングストロム程度とすることができる。最後に、第五フォトリソ工程においてウェットエッチングにより透明導電膜16'の一部を除去して図1に示すように透明画素電極16と、ソース配線接続用の端子部21を形成する。この際に用いるエッチング液は、例えば $\text{HCl} + \text{HNO}_3 + \text{H}_2\text{O}$ の配合組成のものを用いることができる。

【0036】以上の工程を経ることにより図1に示す構造の薄膜トランジスタアレイ38を得ることができる。この例の製造方法によれば、フォトリソ工程が全工程の中で5工程で良く、工程数が少なく、その分、製造工程の簡略化を図ることができ、歩留まりを向上させることができ、製造コストを削減できる。

【0037】この例の薄膜トランジスタアレイ38は、対になる他の基板との間に従来の液晶表示装置と同様に液晶を封入して液晶表示装置を構成するために使用され、透明画素電極16がその上方に設けられる液晶分子の配列制御を行って液晶による表示を行うことができる。上記本実施例の構造であると、透明画素電極16と

10

20

30

40

50

液晶分子の間に、ゲート絶縁膜18やバッシベーション保護膜34が積層されず、液晶分子に効率良く電圧を印加することができ、電圧印加効率が向上する。特に、ソース電極44及びドレイン電極45を上部層42と下部層40の2層構造とし、上部層42をCuで構成することにより、抵抗が小さく、良好な電氣的コンタクトを保持することができる。

【0038】また、本実施例の薄膜トランジスタアレイ38であると、ゲートライン/画素電極、あるいは、ソース・ドレインライン/画素電極が、ゲート絶縁膜とバッシベーション保護膜34で、それぞれ隔離された層に形成される。その為、ゲートライン/画素電極、あるいは、ソース・ドレインライン/画素電極のショートが起こらず、歩留りが向上する。

【0039】〔試験例〕画素電極と各種金属端子とを連続して接続し、その抵抗値を測定した。即ち、本試験は、図12に示すように、Si、N₂などの絶縁膜に形成されたコンタクトホールを介して、各種の金属端子48上に画素電極16を接続し、これを一単位Uとして、図11に示すように、複数個、連続して接続してコンタクトチェーンを形成し、その抵抗値を測定したものである。試験に供した各金属には、Al、Cr、Ti、Cuを用いた。また、比較の為に、従来の薄膜トランジスタアレイに相当するものとして、図13に示すように、画素電極16上に、Al/Cr端子48'を接続したものでコンタクトチェーンを形成したものも測定した。

【0040】その結果、従来の画素電極上にAl/Crを形成したものであると、その抵抗値は $1 \times 10^4 \sim 1 \times 10^5 \Omega$ であった。これに対し、金属端子48に、Al、Cr、Ti、Cuを用いたものの測定結果を表3に示す。

【0041】

【表3】

金属端子	抵抗値 (Ω)
Al	$1 \times 10^{10} \sim 1 \times 10^{11}$
Cr	$1 \times 10^7 \sim 1 \times 10^8$
Ti	$1 \times 10^4 \sim 1 \times 10^5$
Cu	1×10^4

*

	層厚	誘電率
配向膜52 (PI)	800	2.5
保護膜34 (P-SiN)	4000	7.4
ゲート絶縁膜18 (G-SiN)	3000	7.4
液晶50 (LC)	45000	3.5~7.2

【0048】この条件においては、各層の容量 ($C = \epsilon S/d$) は下記のごとくなる。

$$C_{PI} = 3.0 \times 10^{-2} \quad (F)$$

$$C_{SiN} = 1.85 \times 10^{-2} \quad (F) \cdots \text{保護膜34 (P-SiN) のみ}$$

$$C_{SiN} = 1.05 \times 10^{-2} \quad (F) \cdots \text{保護膜34 (P-SiN) とゲート絶縁膜18 (G-SiN)}$$

$$C_{LC} = 7.8 \times 10^{-2} \quad (F) \cdots V_{LC} \leq 2V$$

*【0042】この測定結果から、金属端子にAlを用いたものでは抵抗値が大きすぎて使用し得ず、Crは使用し得るレベルではあるが好ましくない。しかし、Ti若しくはCuは従来のものと比較しても遜色なく使用することができ、特にCuは優れていることがわかる。

【0043】これは、画素電極としてITOなどの酸化物導電膜を形成する時に、各金属はそれぞれ酸化されて絶縁膜を形成してしまうことに起因するものと思われる。即ち、Al、Cr、Ti、Cuはそれぞれ酸化されて、 Al_2O_3 、 Cr_2O_3 、 TiO_2 、 Cu_2O を生成するが、その酸化のされ易さが、 $Al > Cr \approx Ti > Cu >> Au$ であることから、この中ではCuが最適になるものと考えられる。

【0044】〔実効電圧の試算〕上記本実施例の薄膜トランジスタアレイ38を組み込んだ液晶表示素子では、図14(a)に示すように、液晶を挟んで対向する画素電極16、16'間には、配向膜52、液晶50、配向膜52が介在しているのみである。したがって、この構成の等価回路は図14(b)に示されるものとなる。よって、ドレイン電極から印加される電圧 (V_d) と、液晶にかかる実効電圧 (V_{LC}) の間には、下記式(ii)の関係が成り立つ。

【0045】

【数2】

$$V_{LC} = \frac{C_{PI}}{2C_{LC} + C_{PI}} V_d \quad \cdots (ii)$$

【0046】いま、画素電極の面積を $1 \times 10^{-8} m^2$ とし、各層の厚み (オングストローム) 及び誘電率を下記表4に示す値のものとする。

【0047】

【表4】

$$C_{LC} = 1.6 \times 10^{-2} \quad (F) \cdots V_{LC} \geq 3.5V$$

【0049】これらから、本実施例および上記従来の各薄膜トランジスタアレイ38、10、36の各ドレイン電極から印加される電圧 (V_d) と、液晶にかかる実効電圧 (V_{LC}) の間には、図15に示す関係が成り立つ。図15から、例えば、 V_g を6 (V) とした場合、本実施例の薄膜トランジスタアレイ38による実効印加電圧

は、上記従来の薄膜トランジスタレイ10のものに比べて、12.5%、薄膜トランジスタレイ36に比べて8%も増加することがわかる。したがって、本実施例の薄膜トランジスタレイ38であれば、実効印加電圧を増加することができ、液晶ディスプレイのコントラスト比を高めることができることがわかる。

【0050】

【発明の効果】本発明の薄膜トランジスタレイは、基板上に、少なくとも、ゲート電極と、該ゲート電極を覆うゲート絶縁膜と、前記ゲート電極の上方に形成される半導体膜及びオーミックコンタクト膜と、該オーミックコンタクト膜に接続されたソース電極およびドレイン電極と、該ドレイン電極に接続された画素電極と、保護膜とが形成されてなる薄膜トランジスタレイにおいて、前記ソース電極およびドレイン電極が、シリサイドを形成する金属からなる下部層と、その上部に積層された銅からなる上部層とを有して構成され、該ソース電極およびドレイン電極を覆う保護膜に形成されたコンタクトホールを通じて、保護膜上に形成された画素電極と、前記ドレイン電極の上部層とが接続されていることを特徴とするものである。

【0051】この構成の薄膜トランジスタレイであると、保護膜に形成されたコンタクトホールを通じて、ドレイン電極と接続している画素電極が、保護膜上に形成されているので、画素電極と液晶の間には、ゲート絶縁膜や保護膜が介在していない。したがって、画素電極から液晶への電圧印加効率を高められ、液晶表示素子として用いた場合に、その液晶ディスプレイのコントラストを有効に高めることができる。

【0052】またこの際、ドレイン電極が、シリサイドを形成する金属からなる下部層と、その上部に積層された銅からなる上部層とを有して構成されていることから、ドレイン電極の抵抗値が小さく、良好な電氣的コンタクトを保ち続けることができる。

【0053】また、本発明の薄膜トランジスタレイであると、画素電極と、ゲートライン又はソース・ドレインラインとの間に、ゲート絶縁膜または保護膜が介在するようになるので、画素電極と、ゲートライン又はソース・ドレインラインとのショート等の不具合の発生を抑制することができる。したがって、製造歩留りを格段に向上せしめることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す側断面図である。

【図2】本実施例において、基板表面に第一の金属膜を形成した状態を示す断面図である。

【図3】本実施例において、基板上に第一のフォトリソ工程によりゲート電極とゲート配線を形成した状態を示す断面図である。

【図4】本実施例において、基板表面に第一の絶縁膜と半導体膜とオーミックコンタクト膜を形成した状態を示

す断面図である。

【図5】本実施例において、第二のフォトリソ工程により半導体部を形成した状態を示す断面図である。

【図6】本実施例において、基板表面に第二の金属膜を成膜した状態を示す断面図である。

【図7】本実施例において、第三フォトリソ工程によりソース電極、ドレイン電極、ソース配線およびチャネル部を形成した状態を示す断面図である。

【図8】本実施例において、基板表面にパッシベーション膜を成膜した状態を示す断面図である。

【図9】本実施例において、第四フォトリソ工程によりパッシベーション膜にコンタクトホールを形成した状態を示す断面図である。

【図10】本実施例において、パッシベーション膜上に透明導電膜を形成した状態を示す断面図である。

【図11】コンタクトチェーンを示す模式構成図である。

【図12】コンタクトチェーンの一単位を示す側断面図である。

【図13】コンタクトチェーンの従来例の一単位を示す側断面図である。

【図14】図14(a)は液晶表示素子の構成を示す側断面図、図14(b)は等価回路図である。

【図15】印加電圧と実効印加電圧の関係を示すグラフである。

【図16】一般のアクティブマトリックス液晶表示素子の駆動回路を示す図である。

【図17】薄膜トランジスタレイの一構造例を示す平面図である。

【図18】従来の薄膜トランジスタレイの一構造例の断面図である。

【図19】従来の薄膜トランジスタレイの一構造例の断面図である。

【図20】従来の薄膜トランジスタレイの一構造例の断面図である。

【図21】図21(a)は液晶表示素子の構成を示す側断面図、図21(b)は等価回路図である。

【図22】図22(a)は液晶表示素子の構成を示す側断面図、図22(b)は等価回路図である。

【図23】液晶表示素子の構成の一部概略を示すもので、図23(a)は設計上のものを示し、図23(b)は製造欠陥が生じた際のものを示し、各図において、(I)図は平面図、(II)図は(I)図のA-B断面図を示す。

【符号の説明】

3 薄膜トランジスタレイ

5 液晶表示部

10 薄膜トランジスタレイ

12 基板

14 ゲート電極

13

14

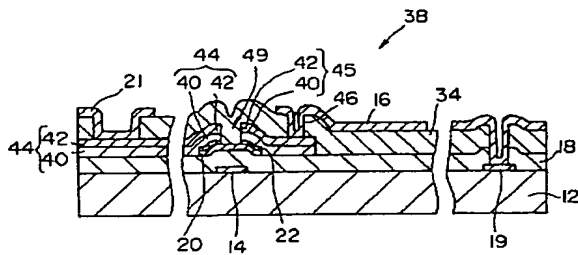
- 16 画素電極
- 18 ゲート絶縁膜
- 20 半導体膜
- 22 オーミックコンタクト膜
- 24 コンタクトホール
- 26 下部層
- 28 上部層
- 30 ソース電極
- 31 ドレイン電極

- * 34 保護膜
- 36 薄膜トランジスタアレイ
- 38 薄膜トランジスタアレイ
- 40 下部層
- 42 上部層
- 44 ソース電極
- 45 ドレイン電極
- 46 コンタクトホール

*

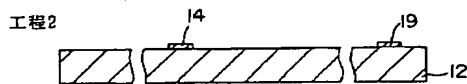
【図1】

【図2】

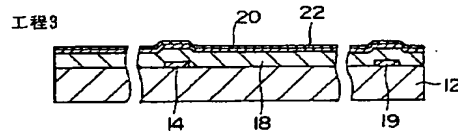


【図3】

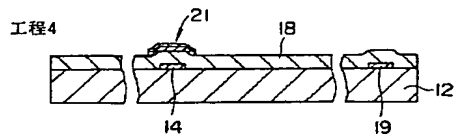
【図4】



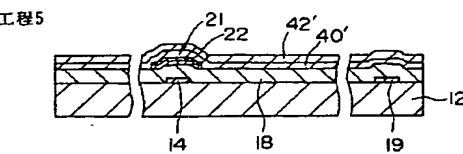
【図5】



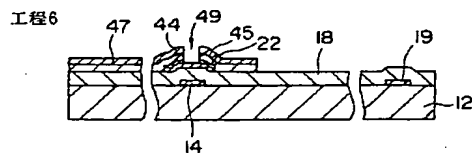
【図6】



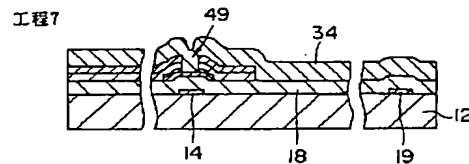
【図7】



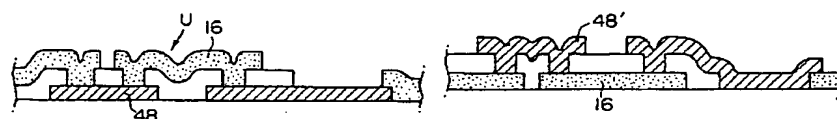
【図8】



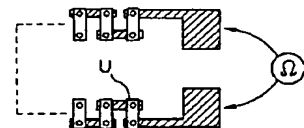
【図12】



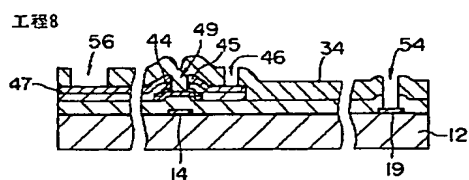
【図13】



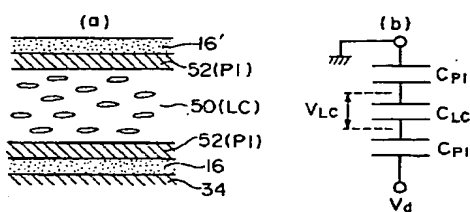
【図11】



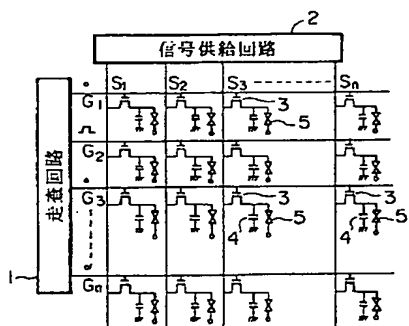
【図9】



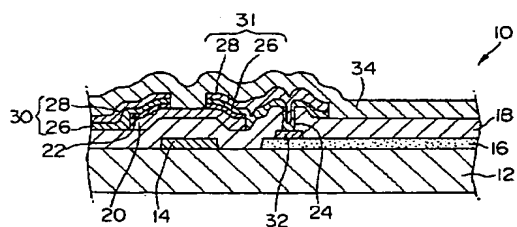
【図14】



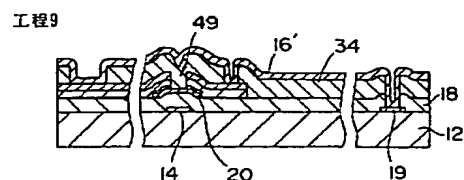
【図16】



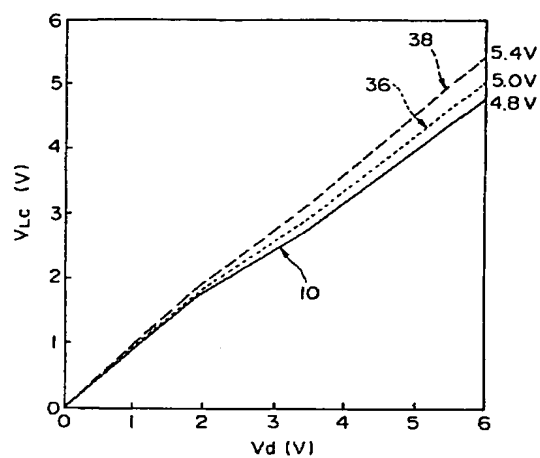
【図19】



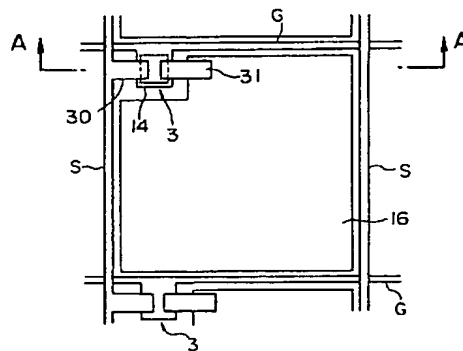
【図10】



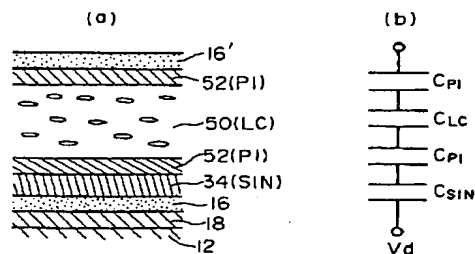
【図15】



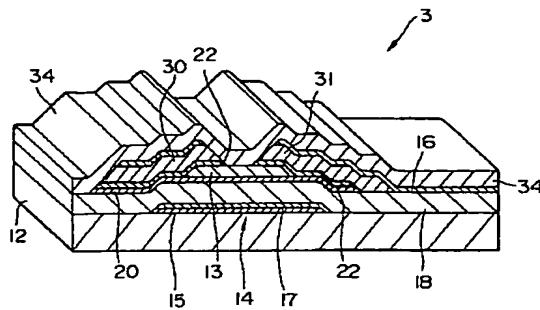
【図17】



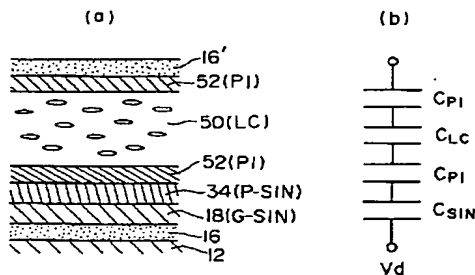
【図22】



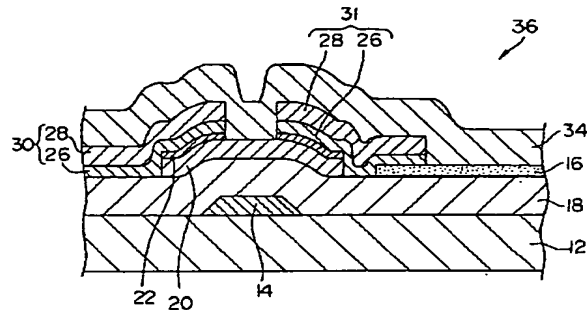
【図18】



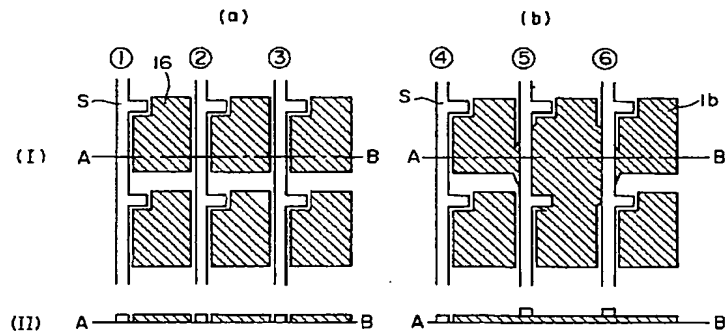
【図21】



【図20】



【図23】



【手続補正書】

【提出日】平成7年3月24日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正内容】

【書類名】明細書

【発明の名称】薄膜トランジスタアレイおよび液晶表示装置

【特許請求の範囲】

【請求項1】 基板上に、少なくとも、ゲート電極と、該ゲート電極を覆うゲート絶縁膜と、前記ゲート電極の上方に形成される半導体膜およびオーミックコンタクト膜と、該オーミックコンタクト膜に接続されたソース電極およびドレイン電極と、該ドレイン電極に接続された画素電極と、保護膜とが形成されてなる薄膜トランジスタアレイにおいて、前記ソース電極およびドレイン電極が、シリサイドを形成する金属からなる下部層と、その上部に積層された銅からなる上部層とを有して構成され、前記ソース電極およびドレイン電極を覆う保護膜に形成

されたコンタクトホールを通じて、前記保護膜上に形成された画素電極と、前記ドレイン電極の上部層とが接続されていることを特徴とする薄膜トランジスタアレイ。

【請求項2】 前記下部層のシリサイドを形成する金属がCrであることを特徴とする請求項1記載の薄膜トランジスタアレイ。

【請求項3】 対向して配置された一対の基板の間に液晶が封止されており、一方の基板の対向面上に、少なくとも、ゲート電極と、該ゲート電極を覆うゲート絶縁膜と、前記ゲート電極の上方に形成される半導体膜およびオーミックコンタクト膜と、該オーミックコンタクト膜に接続されたソース電極およびドレイン電極と、該ドレイン電極に接続された画素電極と、保護膜とが形成されており、

前記ソース電極およびドレイン電極が、シリサイドを形成する金属からなる下部層と、その上部に積層された銅からなる上部層とを有して構成され、

前記ソース電極およびドレイン電極を覆う保護膜に形成されたコンタクトホールを通じて、前記保護膜上に形成された画素電極と、前記ドレイン電極の上部層とが接続されていることを特徴とする液晶表示装置。

【請求項4】 前記下部層のシリサイドを形成する金属がCrであることを特徴とする請求項3記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、基板上に薄膜トランジスタがマトリクス状に多数配置された薄膜トランジスタアレイおよびこれを用いた液晶表示装置に関するもので、特にその電圧印加効率を高めたものである。

【0002】

【従来の技術】図16は、薄膜トランジスタアレイをスイッチ素子に用いたアクティブマトリクス液晶表示装置の等価回路の一構成例を示すものである。図16において、多数のゲート配線G1、G2、…、Gnと、多数のソース配線S1、S2、…、Smとがマトリクス状に配線され、各ゲート配線Gはそれぞれ走査回路1に、各信号配線Sはそれぞれ信号供給回路2に接続され、各線の交差部分に薄膜トランジスタ（スイッチ素子）3が設けられ、この薄膜トランジスタ3のドレイン電極にコンデンサとなる容量部4と液晶表示素子5とが接続されて回路が構成されている。

【0003】図17と図18は、図16に等価回路で示した従来のアクティブマトリクス液晶表示装置において、ゲート配線Gとソース配線Sなどの部分を基板上に備えた薄膜トランジスタアレイの一構成例を示すものである。図17と図18に示す薄膜トランジスタアレイにおいては、ガラスなどの透明の基板12上に、ゲート配線Gとソース配線Sとがマトリクス状に配線されている。また、ゲート配線Gとソース配線Sとの交差部分の近傍に薄膜トランジスタ3が設けられている。

【0004】図17と図18に示す薄膜トランジスタアレイ3はエッチストップ型の一般的な構成のものであり、ゲート配線Gとこのゲート配線Gから引き出して設けたゲート電極14上に、SiN_xなどからなるゲート絶縁膜18を設け、このゲート絶縁膜18上にアモルファスシリコン（a-Si）からなる半導体膜20を設け、更にこの半導体膜20上に導電材料からなるドレイン電極31とソース電極30とを相互に対向させて設けて構成されている。また、半導体膜20の最上層にはリンなどのドナーとなる不純物を高濃度にドーピングしたアモルファスシリコンなどのオーミックコンタクト膜22が形成され、その上にドレイン電極31とソース電極30とで挟まれた状態でエッチングストッパー13が形成されている。また、ドレイン電極31の上からドレイン電極31の側方側にかけて、透明電極材料からなる透明画素電極16が形成されている。また、この例の薄膜トランジスタアレイ3にあっては、ゲート電極14は上層部のTa₂O₅からなるゲート絶縁膜17と下層部のゲート配線15とからなる二重構造にされている。

【0005】また、前記ゲート絶縁膜18と透明画素電

極16とソース電極30などの上を覆ってこれらの上にバッシベーション膜34が設けられている。このバッシベーション膜34上には図示略の配向膜が形成され、この配向膜上方に液晶が設けられてアクティブマトリクス液晶表示装置が構成され、前記透明画素電極16によって液晶の分子に電界を印加することにより、液晶分子の配向制御ができるようになっている。

【0006】また、図19に示すような薄膜トランジスタアレイ10も知られている。この薄膜トランジスタアレイ10は、ガラスなどからなる基板12上に、CrやAlなどの導電性金属からなるゲート電極14と、ITO画素電極16とが離間して形成されている。そして、これらの上には、ゲート絶縁膜18が積層されている。また、このゲート絶縁膜18には、ITO画素電極16の端部上にコンタクトホール24が形成される。

【0007】さらにまた、ゲート絶縁膜18上であってゲート電極14の上方にはa-Si(i)からなる半導体膜20が形成され、その半導体膜20の中央部を除く上部にはa-Si(n')からなるオーミックコンタクト膜22が形成されている。さらに、このオーミックコンタクト膜22上およびその周部と、ゲート絶縁膜18に形成されたコンタクトホール24中およびその周部のゲート絶縁膜18上には、Crなどからなる下部層26とAlなどからなる上部層28とからなるソース電極30及びドレイン電極31が形成されている。この際、コンタクトホール24の下端であって、下部層26とITO画素電極16の間にはCrなどからなるゲート電極32が介在する。さらに、これらの上部にはSiN_xからなるバッシベーション保護膜34が積層されている。

【0008】さらにまた、図20に示すような薄膜トランジスタアレイ36も知られている。この薄膜トランジスタアレイ36では、ガラス基板12上に、Crなどの金属からなるゲート電極14が形成され、そのゲート電極14を覆うように基板12上にゲート絶縁膜18が積層されている。そして、そのゲート絶縁膜18上であって、ゲート電極14の上方には、a-Si(i)からなる半導体膜20が形成され、その半導体膜20と離間してITO画素電極16が形成されている。また、半導体膜20の中央部を除く上部にはa-Si(n')からなるオーミックコンタクト膜22が形成されている。さらに、このオーミックコンタクト膜22上およびその周部とITO画素電極16の端部の上部に、Crからなる下部層26とAlからなる上部層28とからなるソース電極30及びドレイン電極31が形成されている。この際、ソース電極30及びドレイン電極31は、半導体膜20とITO画素電極16の間にも、ゲート絶縁膜18に接触するように形成される。さらに、これらの上部にはSiN_xからなるバッシベーション保護膜34が積層されている。

【0009】これら各層の厚さは、表1に示す程度のも

のが実際の使用には好適とされている。

【0010】

【表1】

層 種	層厚 (ナノメートル)
ITO画素電極16	700
パッシベーション保護膜34	4000
上部層28	2000
下部層26	500
オーミックコンタクト膜22	200
半導体膜20	1000
ゲート絶縁膜18	3000
ゲート電極14	1000

【0011】上記薄膜トランジスタアレイ3は、以下のようして製造される。まず、ガラスなどの透明基板12を用意したならば、これをブラシ洗浄装置と紫外線照射装置により初期洗浄し、この洗浄後の透明基板の上に反応性スパッタリングなどの成膜法を用いて TaO_x などからなる表面安定化膜を形成する。表面安定化膜を形成した基板12に対し、直流スパッタなどの成膜法を用いてAlなどの導電性材料からなるゲート配線用金属膜を基板上に被覆し、この金属膜をウェットエッチングなどの方法を用いる第1のフォトリソ工程でエッチングしてゲート配線15を形成する。次にゲート配線15上に直流スパッタリングなどの成膜法によりTaなどからなるゲート電極形成用の金属膜を被覆し、次いでドライエッチングなどの方法を用いる第二のフォトリソ工程でエッチングしてゲート電極14を形成する。

【0012】次に、このゲート電極14を陽極酸化処理してその表面部分を TaO_x としてゲート電極14の絶縁性向上処理を行う。続いて、それらの上にプラズマCVDなどの成膜法により SiN_x からなるゲート絶縁膜18とa-Si（アモルファスシリコン）などからなる半導体膜20と SiN_x からなるエッチングストッパー用の絶縁膜を形成する。次にウェットエッチングなどの方法を用いる第3のフォトリソ工程でエッチングしてゲート電極上にエッチングストッパー13を形成する。次に、第3のフォトリソ工程済みの基板表面にプラズマCVDなどの方法を用いてa-Si(n+)などのオーミックコンタクト膜を形成する。次に、第4のフォトリソ工程で半導体膜やオーミックコンタクト膜をパターンニングしてゲート電極14上方に他の部分と分離状態の半導体部を形成する。次に、第4のフォトリソ工程済みの基板表面に直流スパッタリングなどの成膜法を用いてTiなどの金属膜を形成する。

【0013】次に、前記金属膜をドライエッチングなどの方法を用いる第5のフォトリソ工程でパターンニングしてソース電極30とドレイン電極31を形成する。次に、前記第5のフォトリソ工程済みの基板表面に反応性スパッタリングなどの成膜法でITO（インジウム錫酸化物）などの透明導電膜を形成する。次にウェットエッチングなどの方法を用いる第6のフォトリソ工程で透明

導電膜を加工して透明画素電極16を形成する。次に、第6のフォトリソ工程処理済みの基板表面に SiN_x などの保護膜をプラズマCVDなどの方法で形成する。次に、前記保護膜をウェットエッチングなどの方法でパターンニングしてソース電極30に接続するソース端子用のコンタクトホールとドレイン電極31に接続するドレイン端子用のコンタクトホールとを形成する第7のフォトリソ工程を行って薄膜トランジスタアレイが完成される。

【0014】上記薄膜トランジスタアレイ3、10、36にあっては、そのいずれのソース電極30・ドレイン電極31も、オーミックコンタクト膜22と良好なオーミックコンタクトを形成している。また、ITO画素電極16と良好なコンタクトを形成するために、ソース電極30・ドレイン電極31の下部にはCrを、また、ソース電極30・ドレイン電極31の配線抵抗を低減するために、そのCrの上部にAlを積層した構成としている。

【0015】

【発明が解決しようとする課題】しかしながら、上記薄膜トランジスタアレイ10であると、ITO画素電極16上に、ゲート絶縁膜18とパッシベーション保護膜34が積層されており、また、上記薄膜トランジスタアレイ3、36であっても、ITO画素電極16上に、パッシベーション保護膜34が積層されているために、ITO画素電極16から液晶への電圧印加効率が低いものであった。即ち、薄膜トランジスタアレイ10を組み込んだ液晶表示素子は、図21(a)に示されるように、ガラス基板12上にあるITO画素電極16と、液晶50を挟んで対向する画素電極16'との間には、ゲート絶縁膜18、パッシベーション保護膜34、配向膜52、液晶50、配向膜52が介在している。したがって、この構成の等価回路は図21(b)に示されるものとなる。

【0016】同様に、上記薄膜トランジスタアレイ3、36であれば、ゲート絶縁膜18上にあるITO画素電極16と、液晶50を挟んで対向する画素電極16'との間には、パッシベーション保護膜34、配向膜52、液晶50、配向膜52が介在している。したがって、この構成の等価回路は図22(b)に示されるものとなる。よって、いずれの薄膜トランジスタアレイ3、10、36でも、その薄膜トランジスタアレイのドレイン電極から印加される電圧(V_d)と、液晶にかかる実効電圧(V_{ic})の間には、下記式(i)の関係が成り立つ。

【0017】

【数1】

$$V_{LC} = \frac{C_{PI} C_{SIN} V_d}{2C_{LC} C_{SIN} + C_{PI} C_{SIN}} + C_{PLC} \quad \text{--- (i)}$$

【0018】尚、図22(b)における C_{SIN} は、 C_{P-SIN} と C_{G-SIN} の和である。このように、実効印加電圧が低いと、液晶ディスプレイのコントラストを有効に高めることができない。

【0019】そこで、ドレイン電極31のA1の上部にITO画素電極16を成膜することも考えられるが、単にその構成とすると、A1とITO画素電極16の間に、抵抗値の大きい層を形成することになってしまい、良好な電氣的コンタクトをとることができなくなってしまう。

【0020】ところで、これらの薄膜トランジスタレイはCVDやエッチング技術などを駆使した薄膜形成法により、複数の薄膜トランジスタレイが図23(a)に示すように、マトリクス状に製造される。しかしながら、この製造過程においては極めて高度な製造精度が要求され、例えば、画素電極16、16、…の形成に不良が生じると、図23(b)に示すように、ソース(ゲート)ラインS⑤と⑥がショートしてしまうなどの重大な欠陥が生じ、これが歩留りの向上の大きな妨げとなっている。

【0021】本発明は前記課題を解決するためになされたもので、ドレイン電極と画素電極の良好なコンタクトを損なうことなく、その画素電極による液晶への電圧印加効率を高めつつ、また、製造過程における歩留りを向上させることの可能な薄膜トランジスタレイ、または、画素電極から液晶への電圧印加効率を高め、その結果として表示コントラストを高めることができ、さらに製造過程における歩留りを向上させることのできる液晶表示装置を提供することを目的とするものである。

【0022】

【課題を解決するための手段】本発明の薄膜トランジスタレイは、基板上に、少なくとも、ゲート電極と、該ゲート電極を覆うゲート絶縁膜と、前記ゲート電極の上方に形成される半導体膜及びオーミックコンタクト膜と、該オーミックコンタクト膜に接続されたソース電極およびドレイン電極と、該ドレイン電極に接続された画素電極と、保護膜とが形成されてなる薄膜トランジスタレイにおいて、前記ソース電極およびドレイン電極が、シリサイドを形成する金属からなる下部層と、その上部に積層された銅からなる上部層とを有して構成され、該ソース電極およびドレイン電極を覆う保護膜に形成されたコンタクトホールを通じて、保護膜上に形成された画素電極と、前記ドレイン電極の上部層とが接続されていることを特徴とするものである。

【0023】この際、下部層のシリサイドを形成する金属は、Crであることが特に好ましい。

【0024】また、本発明の液晶表示装置は、対向して

配置された一対の基板の間に液晶が封止されており、一方の基板の対向面上に、少なくとも、ゲート電極と、該ゲート電極を覆うゲート絶縁膜と、前記ゲート電極の上方に形成される半導体膜およびオーミックコンタクト膜と、該オーミックコンタクト膜に接続されたソース電極およびドレイン電極と、該ドレイン電極に接続された画素電極と、保護膜とが形成されており、ソース電極およびドレイン電極が、シリサイドを形成する金属からなる下部層と、その上部に積層された銅からなる上部層とを有して構成され、ソース電極およびドレイン電極を覆う保護膜に形成されたコンタクトホールを通じて、保護膜上に形成された画素電極と、前記ドレイン電極の上部層とが接続されていることを特徴とするものである。

【0025】下部層のシリサイドを形成する金属はCrであることが特に好ましい。

【0026】

【作用】本発明の薄膜トランジスタレイであると、保護膜に形成されたコンタクトホールを通じて、ドレイン電極と接続している画素電極が、保護膜上に形成されているので、画素電極と液晶の間には、ゲート絶縁膜や保護膜が介在していない。したがって、画素電極から液晶への電圧印加効率を高められる。

【0027】またこの際、ドレイン電極が、シリサイドを形成する金属からなる下部層と、その上部に積層された銅からなる上部層とを有して構成されていることから、ドレイン電極の抵抗値が小さく、良好な電氣的コンタクトを保ち続けることができる。

【0028】また、本発明の薄膜トランジスタレイであると、画素電極と、ゲートライン又はソース・ドレインラインとの間に、ゲート絶縁膜または保護膜が介在するようになるので、画素電極と、ゲートライン又はソース・ドレインラインとのショート等の不具合の発生を抑制することができる。

【0029】また、本発明の液晶表示装置であると、画素電極から液晶への電圧印加効率が高いため、液晶に高い電圧まで印加でき透過率の変化量が大きくなり、表示のコントラストが高くなる。

【0030】

【実施例】本発明の薄膜トランジスタレイおよびこれを用いた液晶表示装置の一実施例を図1を参照して説明する。図1に示す本実施例の薄膜トランジスタレイ38は、基板12上に、液晶表示素子用のトランジスタとして必要な各層が積層されて構成されているもので、まず、ゲート電極14と、そのゲート電極14を覆うようにしてゲート絶縁膜18が形成されている。ゲート電極14には、導電性の金属材料が用いられ、CrやAlが好適である。ゲート絶縁膜18には、SiN_xなどが用いられる。ゲート絶縁膜18上であって、ゲート電極14の上方には、a-Si(i)からなる半導体膜20が形成され、その半導体膜20の中央部を除く上部にはa

-Si(n⁺)からなるオーミックコンタクト膜22が形成されている。

【0031】さらに、そのオーミックコンタクト膜22上と、半導体膜20の周部であってゲート絶縁膜18上には、ソース電極44及びドレイン電極45が積層されている。このソース電極44及びドレイン電極45は、それぞれ下部層40とその上に積層された上部層42とから構成されている。下部層40は、シリサイドを形成する金属からなるもので、Cr、Tiなどが適用できるが、中でもCrが好適である。上部層42にはCuが用いられる。さらに、これら各層の上部には、SiN_xからなるパッシベーション保護膜34が積層されている。パッシベーション保護膜34には、ドレイン電極45の端部にあたる位置にコンタクトホール46が形成されている。さらに、本実施例の薄膜トランジスタアレイ38においては、パッシベーション保護膜34上にITO画素電極16が積層されており、このITO画素電極16はコンタクトホール46を通じてドレイン電極45の上部層42に接続されている。

【0032】これら各層の厚さは、表2に示す程度のものが実際の使用には好適である。

【表2】

層 種	層厚 (ナノメートル)
ITO画素電極16	1500
パッシベーション保護膜34	4000
上部層42	2000
下部層40	500
オーミックコンタクト膜22	200
半導体膜20	1000
ゲート絶縁膜18	3000
ゲート電極14	1000

【0033】この薄膜トランジスタアレイ38は、以下のようにして製造することができる。まず、工程1において図2に示すガラスなどの透明の基板12上にCr、Ta、Mo、Alなどの導電材料からなる導電性金属薄膜から形成された第一の金属膜14'を成膜する。ここで形成する第一の金属膜14'の厚さは例えば1000オングストローム程度とすることができる。次に、第一のフォトリソ工程2において第一の金属膜14'付きの基板12を以下のように加工する。まず、基板12を洗浄し、第一の金属膜14'上にレジストを塗布してからフォトリソマスクを介して上面全部に露光処理と現像処理を行い、フォトリソマスクのパターンをフォトリソレジストに書き移す。次に、第一の金属膜14'がCrからなる膜である場合、例えば、(NH₄)₂[Ce(NO₃)₆] + HNO₃ + H₂Oなる配合組成のエッチング液を用いてウェットエッチング処理し、続いてレジストを剥離して基板12上に図3に示すゲート電極14とゲート配線19を形成する。なお、図面ではゲート電極とゲート配線の一部のみを示しているが、実際には基板12上に多数のゲート電極14とゲート配線19を形成するものとする。

【0034】ゲート電極14とゲート配線19を形成したならば、工程3においてこれらを形成した基板12を洗浄し、その表面に図4に示すように、SiN_xからなる第一の絶縁膜18と、a-Si(i)からなる半導体膜20と、a-Si(n⁺)からなるオーミックコンタクト膜22を積層する。ここで形成する第一の絶縁膜18は例えば3000オングストローム程度、半導体膜20は1000オングストローム程度、オーミックコンタクト膜22は200オングストローム程度の厚さにそれぞれ形成することができる。次に、第二のフォトリソ工程4において第一フォトリソ工程2と同じようにレジスト塗布、露光、現像、エッチングおよびレジスト剥離といった処理を施して半導体膜20とオーミックコンタクト膜22をバターンニングしてゲート電極14の上方に図5に示すように半導体部21を形成する。この工程で用いるエッチング液は、例えば、HF + HNO₃なる配合組成のものをを用いることができる。

【0035】第二フォトリソ工程4を施したならば工程5において基板12を洗浄し、その上面に、Crなどからなる導電材料からなる金属膜40'と、Cuの膜42'を順に図6に示すように形成する。

【0036】Cuの膜42'を形成したならば、第三のフォトリソ工程6において金属膜40'、Cuの膜42'とオーミックコンタクト膜22をウェットエッチングなどの方法によりバターンニングして、図7に示すようにソース電極44とソース配線47とドレイン電極45とチャネル部49を形成する。なお、前記ウェットエッチングを行う場合に用いるエッチング液として、HF + HNO₃なる配合組成のものをを用いることができる。

【0037】続いて工程7において前記処理済みの基板12を洗浄し、その表面にプラズマCVDなどの方法で図8に示すようにパッシベーション膜34を成膜する。ここで形成するパッシベーション膜34は例えば厚さ4000オングストローム程度に形成することができる。パッシベーション膜34を形成したならば、処理済みの基板12に対し、第四フォトリソ工程8においてSF₆ + O₂ガスなどを用いたドライエッチングなどの方法により、パッシベーション膜34をバターンニングして図9に示すように、ドレイン電極45に通じるコンタクトホール46と、ゲート配線19に通じるコンタクトホール54と、ソース配線47に通じるコンタクトホール56を形成する。

【0038】前記各コンタクトホールを形成した基板12の表面に工程9においてITOからなる透明導電膜16'を成膜する。この透明導電膜16'の厚さは1500オングストローム程度とすることができる。最後に、第五フォトリソ工程においてウェットエッチングにより透明導電膜16'の一部を除去して図1に示すように透明画素電極16と、ソース配線接続用の端子部21を形成する。この際に用いるエッチング液は、例えばHC1

+HNO₃+H₂Oの配合組成のものを用いることができる。

【0039】以上の工程を経ることにより図1に示す構造の薄膜トランジスタアレイ38を得ることができる。この例の製造方法によれば、フォトリソ工程が全工程の中で5工程で良く、工程数が少なく、その分、製造工程の簡略化を図ることができ、歩留まりを向上させることができ、製造コストを削減できる。

【0040】この薄膜トランジスタアレイ38は、対になる他の基板との間に従来の液晶表示装置と同様に液晶を封入して図14に示す液晶表示装置を構成するために使用され、透明画素電極16がその上方に設けられる液晶分子の配列制御を行って液晶による表示を行うことができる。上記本実施例の液晶表示装置の構造であると、透明画素電極16と液晶分子の間に、ゲート絶縁膜18やパッシベーション保護膜34が積層されず、液晶分子に効率良く電圧を印加することができ、電圧印加効率が向上する。特に、ソース電極44及びドレイン電極45を上部層42と下部層40の2層構造とし、上部層42をCuで構成することにより、抵抗が小さく、良好な電気的コンタクトを保持することができる。

【0041】また、本実施例の薄膜トランジスタアレイ38であると、ゲートライン/画素電極、あるいは、ソース・ドレインライン/画素電極が、ゲート絶縁膜とパッシベーション保護膜34で、それぞれ隔離された層に形成される。その為、ゲートライン/画素電極、あるいは、ソース・ドレインライン/画素電極のショートが起こらず、歩留りが向上する。

【0042】〔試験例〕画素電極と各種金属端子とを連続して接続し、その抵抗値を測定した。即ち、本試験は、図12に示すように、Si₃N₄などの絶縁膜に形成されたコンタクトホールを介して、各種の金属端子48上に画素電極16を接続し、これを一単位Uとして、図11に示すように、複数個、連続して接続してコンタクトチェーンを形成し、その抵抗値を測定したものである。試験に供した各金属には、Al、Cr、Ti、Cuを用いた。また、比較の為に、従来の薄膜トランジスタアレイに相当するものとして、図13に示すように、画素電極16上に、Al/Cr端子48'を接続したものでコンタクトチェーンを形成したものも測定した。

【0043】その結果、従来の画素電極上にAl/Crを形成したものであると、その抵抗値は $1 \times 10^4 \sim 1 \times 10^5 \Omega$ であった。これに対し、金属端子48に、Al、Cr、Ti、Cuを用いたものの測定結果を表3に*

* 示す。

【0044】

【表3】

金属端子	抵抗値 (Ω)
Al	$1 \times 10^{10} \sim 1 \times 10^{11}$
Cr	$1 \times 10^7 \sim 1 \times 10^8$
Ti	$1 \times 10^4 \sim 1 \times 10^5$
Cu	1×10^4

【0045】この測定結果から、金属端子にAlを用いたものでは抵抗値が大きすぎて使用し得ず、Crは使用し得るレベルではあるが好ましくない。しかし、Ti若しくはCuは従来のものと比較しても遜色なく使用することができ、特にCuは優れていることがわかる。

【0046】これは、画素電極としてITOなどの酸化物導電膜を形成する時に、各金属はそれぞれ酸化されて絶縁膜を形成してしまうことに起因するものと思われる。即ち、Al、Cr、Ti、Cuはそれぞれ酸化されて、Al₂O₃、Cr₂O₃、TiO₂、Cu₂Oを生成するが、その酸化のされ易さが、Al>Cr≒Ti>Cu>>Auであることから、この中ではCuが最適になるものと考えられる。

【0047】〔実効電圧の試算〕上記本実施例の薄膜トランジスタアレイ38を組み込んだ液晶表示装置では、図14(a)に示すように、液晶を挟んで対向する画素電極16、16'間には、配向膜52、液晶50、配向膜52が介在しているのみである。したがって、この構成の等価回路は図14(b)に示されるものとなる。よって、ドレイン電極から印加される電圧(V_d)と、液晶にかかる実効電圧(V_{LC})の間には、下記式(ii)の関係が成り立つ。

【0048】

【数2】

$$V_{CL} = \frac{C_{P1}}{2C_{LC} + C_{P1}} V_d \quad \cdots (ii)$$

【0049】いま、画素電極の面積を $1 \times 10^{-8} \text{ m}^2$ とし、各層の厚み(オングストロム)及び誘電率を下記表4に示す値のものとする。

【0050】

【表4】

	層厚	誘電率
配向膜52(PI)	800	2.5
保護膜34(P-SiN)	4000	7.4
ゲート絶縁膜18(G-SiN)	3000	7.4
液晶50(LC)	45000	3.5~7.2

【0051】この条件においては、各層の容量($C = \epsilon$ S/d)は下記のごとくなる。

$$C_{PI} = 3.0 \times 10^{-1} \quad (F)$$

$$C_{SIN} = 1.85 \times 10^{-1} \quad (F) \cdots \text{保護膜 34(P-SIN)のみ}$$

$$C_{SIN} = 1.05 \times 10^{-1} \quad (F) \cdots \text{保護膜 34(P-SIN)とゲート絶縁膜 18(G-SIN)}$$

$$C_{LC} = 7.8 \times 10^{-1} \quad (F) \cdots V_{LC} \leq 2V$$

$$C_{LC} = 1.6 \times 10^{-1} \quad (F) \cdots V_{LC} \geq 3.5V$$

【0052】これらから、本実施例および上記従来の各薄膜トランジスタアレイ38、10、36の各ドレイン電極から印加される電圧(V_d)と、液晶にかかる実効電圧(V_{LC})の間には、図15に示す関係が成り立つ。図15から、例えば、 V_g を6(V)とした場合、本実施例の薄膜トランジスタアレイ38による実効印加電圧は、上記従来の薄膜トランジスタアレイ10のものに比べて、12.5%、薄膜トランジスタアレイ36に比べて8%も増加することがわかる。したがって、本実施例の薄膜トランジスタアレイ38であれば、実効印加電圧を増加することができ、液晶ディスプレイのコントラストを高めることができることがわかる。

【0053】

【発明の効果】本発明の薄膜トランジスタアレイは、基板上に、少なくとも、ゲート電極と、該ゲート電極を覆うゲート絶縁膜と、前記ゲート電極の上方に形成される半導体膜及びオーミックコンタクト膜と、該オーミックコンタクト膜に接続されたソース電極およびドレイン電極と、該ドレイン電極に接続された画素電極と、保護膜とが形成されてなる薄膜トランジスタアレイにおいて、前記ソース電極およびドレイン電極が、シリサイドを形成する金属からなる下部層と、その上部に積層された銅からなる上部層とを有して構成され、該ソース電極およびドレイン電極を覆う保護膜に形成されたコンタクトホールを通じて、保護膜上に形成された画素電極と、前記ドレイン電極の上部層とが接続されていることを特徴とするものである。

【0054】この構成の薄膜トランジスタアレイであると、保護膜に形成されたコンタクトホールを通じて、ドレイン電極と接続している画素電極が、保護膜上に形成されているので、画素電極と液晶の間には、ゲート絶縁膜や保護膜が介在していない。したがって、画素電極から液晶への電圧印加効率を高められ、液晶表示装置として用いた場合に、その液晶ディスプレイのコントラストを有効に高めることができる。

【0055】またこの際、ドレイン電極が、シリサイドを形成する金属からなる下部層と、その上部に積層された銅からなる上部層とを有して構成されていることから、ドレイン電極の抵抗値が小さく、良好な電氣的コンタクトを保ち続けることができる。

【0056】また、本発明の薄膜トランジスタアレイであると、画素電極と、ゲートライン又はソース・ドレインラインとの間に、ゲート絶縁膜または保護膜が介在するようになるので、画素電極と、ゲートライン又はソー

ス・ドレインラインとのショート等の不具合の発生を抑制することができる。したがって、製造歩留りを格段に向上せしめることが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す側断面図である。

【図2】本実施例において、基板表面に第一の金属膜を形成した状態を示す断面図である。

【図3】本実施例において、基板上に第一のフォトリソ工程によりゲート電極とゲート配線を形成した状態を示す断面図である。

【図4】本実施例において、基板表面に第一の絶縁膜と半導体膜とオーミックコンタクト膜を形成した状態を示す断面図である。

【図5】本実施例において、第二のフォトリソ工程により半導体部を形成した状態を示す断面図である。

【図6】本実施例において、基板表面に第二の金属膜を成膜した状態を示す断面図である。

【図7】本実施例において、第三フォトリソ工程によりソース電極、ドレイン電極、ソース配線およびチャネル部を形成した状態を示す断面図である。

【図8】本実施例において、基板表面にパッシベーション膜を成膜した状態を示す断面図である。

【図9】本実施例において、第四フォトリソ工程によりパッシベーション膜にコンタクトホールを形成した状態を示す断面図である。

【図10】本実施例において、パッシベーション膜上に透明導電膜を形成した状態を示す断面図である。

【図11】コンタクトチェーンを示す模式構成図である。

【図12】コンタクトチェーンの一単位を示す側断面図である。

【図13】コンタクトチェーンの従来例の一単位を示す側断面図である。

【図14】図14(a)は本発明の液晶表示装置の実施例の構成を示す側断面図、図14(b)は等価回路図である。

【図15】印加電圧と実効印加電圧の関係を示すグラフである。

【図16】一般のアクティブマトリックス液晶表示素子の駆動回路を示す図である。

【図17】薄膜トランジスタアレイの一構造例を示す平面図である。

【図18】従来の薄膜トランジスタアレイの一構造例の断面図である。

【図19】従来の薄膜トランジスタアレイの一構造例の断面図である。

【図20】従来の薄膜トランジスタアレイの一構造例の断面図である。

【図21】図21(a)は液晶表示素子の構成を示す側断面図、図21(b)は等価回路図である。

【図22】図22(a)は液晶表示素子の構成を示す側断面図、図22(b)は等価回路図である。

【図23】液晶表示素子の構成の一部概略を示すもので、図23(a)は設計上のものを示し、図23(b)は製造欠陥が生じた際のものを示し、各図において、

(I)図は平面図、(II)図は(I)図のA-B断面図を示す。

【符号の説明】

3	薄膜トランジスタアレイ	* 20	半導体膜
5	液晶表示部	22	オーミックコンタクト膜
10	薄膜トランジスタアレイ	24	コンタクトホール
12	基板	26	下部層
14	ゲート電極	28	上部層
16	画素電極	30	ソース電極
18	ゲート絶縁膜	31	ドレイン電極
		34	保護膜
		36	薄膜トランジスタアレイ
		38	薄膜トランジスタアレイ
		40	下部層
		42	上部層
		44	ソース電極
		45	ドレイン電極
		* 46	コンタクトホール

フロントページの続き

(72)発明者 岩崎 千里
東京都大田区雪谷大塚町1番7号 アルプ
ス電気株式会社内